

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK, OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

Unauthorised copying of this abstract not permitted.

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平1-130131

⑬ Int. Cl.⁴

G 02 F 1/133
G 09 G 3/36

識別記号

3 2 7

庁内整理番号

7370-2H
8621-5C

⑭ 公開 平成1年(1989)5月23日

審査請求 未請求 発明の数 1 (全5頁)

⑮ 発明の名称 ドライバー内蔵アクティブマトリクスパネル

⑯ 特 願 昭62-288650

⑰ 出 願 昭62(1987)11月16日

⑱ 発 明 者 松 枝 洋 二 郎 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式
会社内

⑲ 出 願 人 セイコーエプソン株式 東京都新宿区西新宿2丁目4番1号
会社

⑳ 代 理 人 弁理士 最 上 務 外1名

明 細 書

1. 発明の名称

ドライバー内蔵アクティブマトリクスパネル

2. 特許請求の範囲

(I) 絶縁基板上に、複数のデータ線群、走査線群、及び前記データ線及び走査線の少なくとも一方を駆動するためのドライバーを備え、前記データ線及び走査線の交点に設けられた薄膜トランジスタ(以下TFTと略記)アレイによって画素電極を駆動し液晶を駆動して成るドライバー内蔵アクティブマトリクスパネルにおいて、以下の構成を有することを特徴とするドライバー内蔵アクティブマトリクスパネル。

N本の走査線と2M本の信号線、及びM×N個の画素電極と、各画素電極の1つにドレイン電極が、共通に接続された2つのTFTを備え、前記の2つのTFTのゲート電極は共通の走査線に接続され、ソース電極は隣接する2本の信号線に接

続され、奇数列目の信号線と偶数列目の信号線をそれぞれ独立に駆動できる内蔵ドライバーを備えている。

(II) 前記画素TFT及び内蔵ドライバーを構成するTFTはポリシリコン層を用いて形成されることを特徴とする特許請求の範囲第1項記載のドライバー内蔵アクティブマトリクスパネル。

3. 発明の詳細な説明

(産業上の利用分野)

本発明はドライバー内蔵アクティブマトリクスパネルの構成に関する。

(従来の技術)

従来の、ドライバー内蔵アクティブマトリクスパネルの、例としては「SID(エス・アイ・ディー)84ダイジェストP.316両角他」がある。第2図はその回路図の例である。21は、画素エリア、22はXドライバー、24はYドライバーである。画素エリア21は、信号線X₁、X₂、X_nと走査線Y₁、Y₂、Y_n、及びそれら

の交点に配置された画素TFT30とから成る。画素TFT30には画素電極が接続され、対向電極Vc.mとの間に容量31が存在する。32は信号線と対向電極間の容量である。Xドライバー22は、シフトレジスタ26とアナログスイッチTFT28とから成る。VIDは画素信号入力端子、CLX、CLYはクロック信号、DX、DYはドライバーの動作入力信号の端子である。

(発明が解決しようとする問題点)

しかし、前述の従来技術では以下に述べるような問題点を有する。すなわち、アクティブマトリクスパネルは、大面積に数万〜数百万個もの駆動素子を作製する必要があり、無欠陥のパネルを作るのは本質的に極めて難しいという点である。特に、画面サイズの大形化、画面の高精細化に伴い歩留まりは一層低下する。

一方、アクティブマトリクスパネルをキャラクターなどのデータ表示に用いる場合、無欠陥であることはもちろん、すべての画素が与えられた信号に対して忠実な階調表示をする必要がある。この

ようなパネルを従来技術で作製するのはほとんど不可能である。

本発明はこのような問題点を解決するものであり、その目的とするところは、データ表示に適した無欠陥のアクティブマトリクスパネルを、ドライバーを内蔵し低コストで高い歩留まりで作製できるようにするところにある。

(問題点を解決するための手段)

本発明のドライバー内蔵アクティブマトリクスパネルは以下の構成を有することを特徴とする。

N本の走査線と2M本の信号線、及びM×N個の画素電極と、各画素電極の1つにドレイン電極が共通に接続された2つのTFTを備え、前記2つのTFTのゲート電極は共通の走査線に接続され、ソース電極は隣接する2本の信号線に接続され、奇数列目の信号線と偶数列目の信号線をそれぞれ独立に駆動できる内蔵ドライバーを備えている。

(作用)

本発明の上記の構成を用いたドライバー内蔵ア

クティブマトリクスパネルは、画素TFTと信号線に冗長性を持たせてあり、各画素の2つのTFTのうちどちらかが正常であれば正規の信号を与えることができる。一方、これらの2つのTFTには、内蔵ドライバーを用いて異なる信号を与えることができ、電気的、光学的に簡単に不良TFTのアドレスを検出することができる。

(実施例)

第1図は、本発明の1実施例を示すドライバー内蔵アクティブマトリクスパネルの回路図の例である。ドライバー内蔵アクティブマトリクスパネルは、画素エリア1とXドライバー2、3及びYドライバー4とから成っている。本実施例においては信号線と画素TFTに冗長性があり、画素エリア1は、2M本の信号線とN本の走査線及びM×N個の画素電極と、各画素電極の1つにドレイン電極が共通に接続された2つの画素TFT10とから成り、この画素TFTのゲート電極は共通の走査線に、ソース電極は隣接する2本の信号線に接続されている。11は画素電極と対向電極V

c.mとの間の液晶の容量であり、12、13は信号線と、Vc.mとの間の液晶の容量である。信号の、保持特性を改善するため、これらの容量に並列に、容量を付加することもある。奇数列目の信号線X₁、X₃、X₅はXドライバー2で、偶数列目の信号線X₂、X₄、X₆はXドライバー3で、走査線Y₁、Y₃、Y₅は全て、Yドライバー4で駆動する。Xドライバー2、3はシフトレジスタ8、7とアナログスイッチTFTアレイ8、9とから成る。このアナログスイッチのかわりにラッチ回路を設けて順次ドライバーとすることもできる。CLXa、CLXbはシフトレジスタ6、7のクロック入力端子、DXa、DXbはシフトレジスタ8、7のスタート信号入力端子、VIDa、VIDbは画素信号入力端子である。Yドライバーはシフトレジスタで、CLYはクロック、DYはスタート信号の入力端子である。

本実施例においては1つの画素に2つのTFTを備えているため、どちらか一方のTFTが不良

であっても他のTFTが正常であれば、不良TFTをレーザトリミング等を用いて切断して修正できる。修正した画素には正規の信号が与えられるため、本実施例ではキャラクタなどのデータ表示にも対応できる無欠陥のアクティブマトリクスパネルを高い歩留まりで作製できる。一方、不良部分のアドレスを検出する場合、本実施例においては信号線に冗長性を有しかつ奇数列目と偶数列目の信号線を独立に駆動できるため、電気的あるいは光学的に簡単に検出できる。以下、その具体的な方法について説明する。

第1の方法は、電気的に検出する方法である。一般にTFTの不良にはショートとオープンとの2つのモードがあるが、後者については特に修正する必要はないので、前者の検出方法について述べる。第3図(a)はTFTのゲート・ソース間及びゲート・ドレイン間のショートを検出する方法である。この図のように走査線を順次選択し、画像信号入力端子VIDa、VIDbにそれぞれ電流計を接続して、信号線を順次選択していけばシ

ョートしているアドレスを簡単に求めることができる。2つのTFTのどちらがショートしているかは、検出された電流値の大ききで判別する。なお、全アドレスについてこの測定を行なうのはかなり時間を要するため、まず全ての走査線と信号線を同時に選択し、もしリーク電流が検出されれば、走査線を1本ずつ順次選択し、リーク電流が再び検出された走査線でYドライバーの動作を止め、信号線を1本ずつ選択しアドレスを求めるといった方法が効率的である。第3図(b)はTFTのソース・ドレイン間のショートを検出する方法で、2つのTFTの直列抵抗を求めている。もし、どちらかのTFTのソース・ドレイン間がショートしていれば、この抵抗は約半分となる。ただし、2つのTFTのどちらが不良かはこの状態では判断できないため、外観検査か画素電極に直接プローピングして調べる必要がある。通常は、ソース・ドレイン間のショートは平面図なパターン不良がおもなので外観検査で対応がつくことが多い。第3図(c)はTFTの不良ではなく、信

号線間のショートを求める方法である。本実施例のように信号線に冗長性を持たせる場合、画素電極間の2本の信号線がショートするような事も起こり得る。そのような不良はこの図のように隣接する2本の信号線を順次選択し、それらの信号線間のリーク電流を検出することで可能になる。この場合、電気的にY側のアドレスを求めるのは不可能だが、パターン不良がおもな原因なので外観検査で場所を求めて修正することができる。

第2の方法は光学的に検出する方法である。この検査は液晶を封入した後行なう。この方法は簡単に、Xドライバー2のみを使って画像を表示した場合を甲、Xドライバー3のみを使って画像を表示した場合を乙とすると、甲と乙を比較して不良TFTのアドレスを求めるという方法である。

アクティブマトリクス基板の断面図を第4図に示す。40は絶縁基板、41はゲート電極、42はゲート絶縁膜、43はチャネル部、44、45はそれぞれソース・ドレイン電極、46は懸空絶縁膜、47は信号線、48は画素電極である。内

蔵ドライバーを構成するTFTも同じ構造で、画素TFTと同時に作製する。

(発明の効果)

以上述べたように、本発明のドライバー内蔵アクティブマトリクスパネルは、画素TFTと信号線に冗長性を持たせてあり、各画素の2つのTFTのうちどちらかが正常であれば正規の信号を与えることができる。一方、これらの2つのTFTには、内蔵ドライバーを用いて異なる信号を与えることができ、電気的、光学的に簡単に、不良TFTのアドレスを求めることができる。従って、内蔵ドライバーを用いて不良部分を検出し、レーザトリミング等によって修正すれば、データ表示に適した無欠陥のアクティブマトリクスパネルを高い歩留まりで作製できる。特に高精細なパネルにおいては、通常のプローブカード等を用いた検査方法ではこのような検査は不可能だが、本発明によればドライバーの動作が可能な限り非常に高精細のパネルにも対応できる。しかも検査に要する時間も近くてすみ、コストアップにはならな

い。また、ドライバー内蔵であるからパネルは小型軽量で製造コストも安い。

4. 図面の簡単な説明

第1図はドライバー内蔵アクティブマトリクスパネルの回路図。

第2図は従来のドライバー内蔵アクティブマトリクスパネルの回路図。

第3図(a)、(b)、(c)は不良部分の検出方法を示す図。

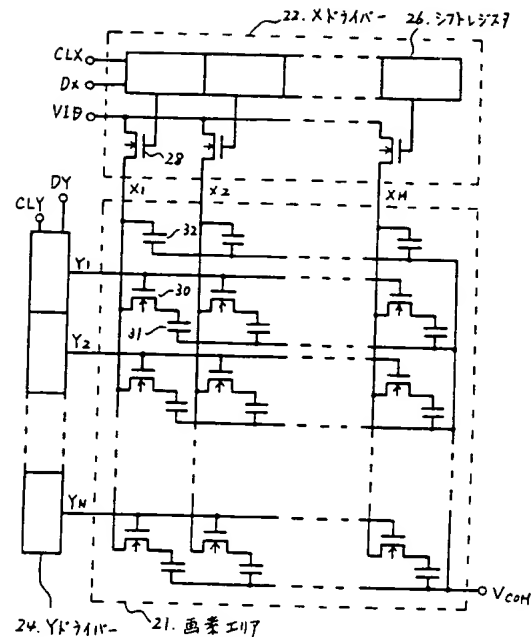
第4図はアクティブマトリクス基板の断面図。

- 1、21…画素エリア
- 2、22…Xドライバー
- 4、24…Yドライバー
- 6、7、26…シフトレジスタ
- 8、9、28…アナログスイッチTFT
- 10、30…画素TFT

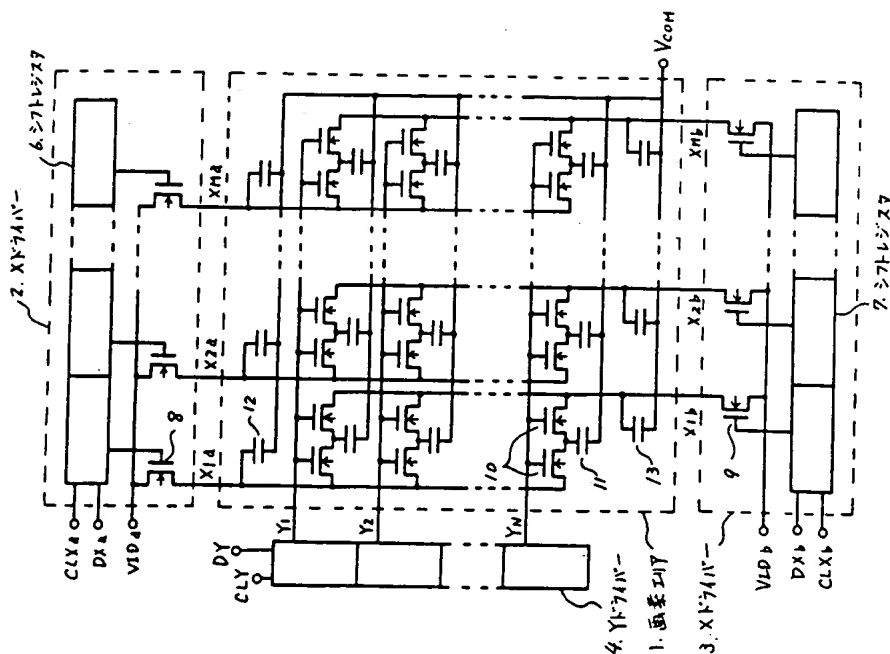
以上

出願人 セイコーエプソン株式会社

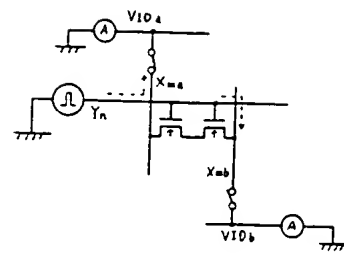
代理人 井理士 最上 勝他1名



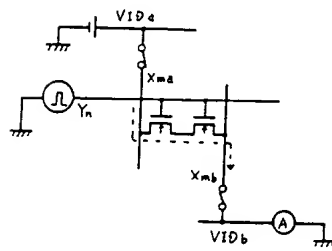
第2図



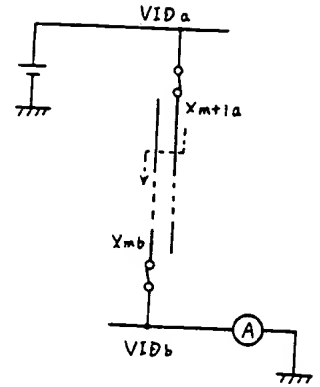
第1図



(a)



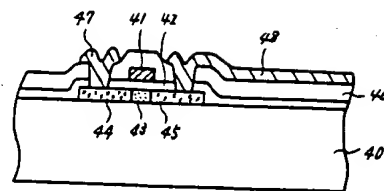
(b)



(c)

第3図

第3図



- 40 ... 絶縁基板
- 41 ... Y-ト
- 42 ... Y-ト絶縁膜
- 43 ... ガネル
- 44 ... ソース
- 45 ... ドレイン
- 46 ... 層間絶縁膜
- 47 ... 信号線
- 48 ... 画素電極

第4図